

BEST AVAILABLE COPY

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020085067 A
(43)Date of publication of application: 16.11.2002

(21)Application number: 1020010024331
(22)Date of filing: 04.05.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HWANG, BYEONG JUN
KIM, DO HYEONG
KIM, JIN HO

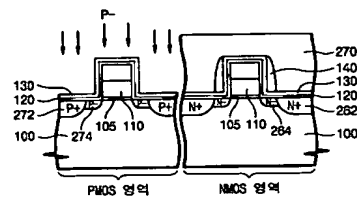
(51)Int. Cl. H01L 27/092

(54) METHOD FOR FORMING CMOS SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A fabrication method of a CMOS semiconductor device is provided to restrain high temperature carrier effect and short-channel effect by exactly forming an LDD(Lightly Doped Drain) structure at interface between a source/drain region and a channel region.

CONSTITUTION: Gate electrode patterns(110) are formed at an NMOS and a PMOS regions of a semiconductor substrate(100), respectively. Spacers(140) are formed at both sidewalls of the gate electrode patterns(110). After forming a desired photoresist pattern(270) on the NMOS region, a p+ source/drain region(272) is formed by implanting heavily doped dopants into the exposed PMOS region. After removing the spacer formed at the PMOS region, a p- LDD region(274) is then formed by implanting lightly doped dopants into the exposed PMOS region. The formation processes of impurity regions having LDD structure in the NMOS region are same to the PMOS formation processes. That is, after removing the spacer, an ion-implantation for forming the LDD regions is performed.



© KIPO 2003

Legal Status

Date of final disposal of an application (20030923)
Patent registration number (1004239120000)
Date of registration (20040309)
Number of trial against decision to refuse (2003101004154)
Date of requesting trial against decision to refuse (20031021)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/092		(45) 공고일자 (11) 등록번호 (24) 등록일자	2004년03월24일 10-0423912 2004년03월09일
(21) 출원번호 (22) 출원일자 (73) 특허권자	10-2001-0024331 2001년05월04일 삼성전자주식회사	(65) 공개번호 (43) 공개일자	10-2002-0085067 2002년11월16일
(72) 발명자	경기도 수원시 영통구 매탄동 416 김도형 서울특별시등작구사당동209-3번지대아파트101동1307호 김진호 경기도수원시팔달구영통동벽적골9단지아파트910동801호 황병준 경기도군포시금정동850목화아파트137동801호 임창현, 권혁수		
(74) 대리인	임창현, 권혁수		

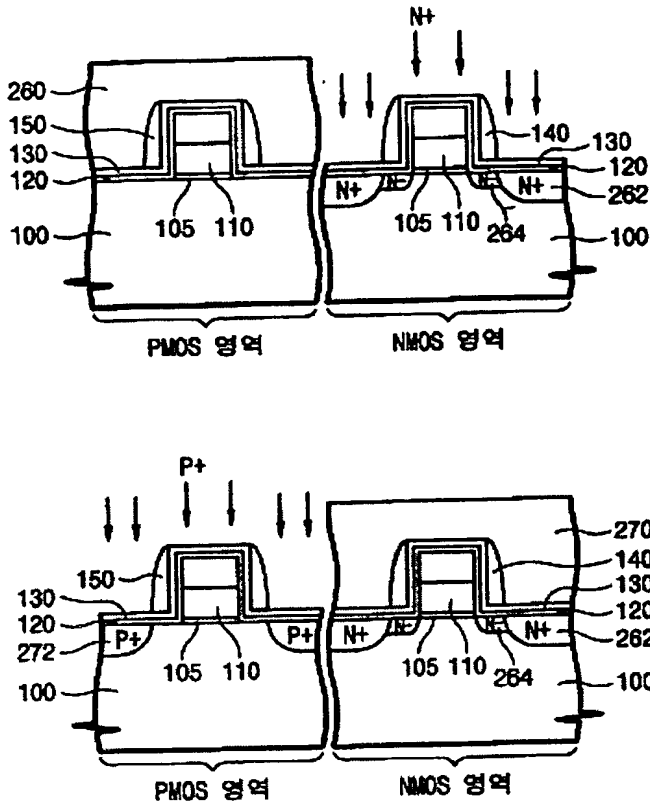
심사관 : 홍윤구

(54) 씨모스형 반도체 장치 형성 방법

요약

게이트 측벽에 스페이서가 없으며, LDD 구조가 형성되는 CMOS형 반도체 장치가 개시된다. 본 발명에서는 두 불순물형 영역에 고농도 이온주입이 이루어진 뒤에 게이트 전극 측벽 스페이서에 대한 식각을 실시하는 것을 특징으로 한다. 즉, NMOS 및 PMOS 트랜지스터 영역에 대해 게이트 전극 측벽 스페이서가 존재하는 상태로 각 영역을 드러내는 포토레지스트 패턴을 번갈아 형성하고, 고농도 이온주입을 실시한다. 본 발명에서, 각 영역에 대한 저농도 이온주입은 각 영역에 스페이서가 없는 상태에서 영역별로 이루어진다. 즉, 저농도 이온주입은 스페이서 형성 전에 이루어지거나, 고농도 이온주입이 이루어진 뒤에 스페이서를 제거한 다음에 이루어진다. 또한, 한 영역은 스페이서 형성 전에, 다른 영역은 스페이서 제거 후에 이루어지는 것도 가능하다.

도면



명세서

도면의 간단한 설명

도1 내지 도6은 제거가능 스페이서 방식을 사용하는 CMOS형 반도체 장치의 일 예에 대한 형성 방법의 중요 단계를 나타내는 공정 단면도들,

도7은 종래의 문제를 나타내는 CMOS 반도체 장치의 계단형 절단 단면 사진,

도8 내지 도13은 본 발명의 일 실시예에 따른 공정 단계들을 나타내는 공정 단면도들,

도14 내지 도19는 본 발명의 다른 실시예에 따른 공정 단계들을 나타내는 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 싸모스형 (CMOS TYPE) 반도체 장치 형성 방법에 관한 것으로, 보다 상세하게는 공정을 단순화할 수 있는 CMOS형 반도체 장치 형성 방법에 관한 것이다.

MOS 트랜지스터를 사용하는 반도체 장치에서 트랜지스터 형성한 뒤 트랜지스터의 소오스/드레인 영역에 전압 인가를 위한 콘택을 형성하게 된다. 반도체 장치의 소자 고집적화가 이루어지면서 게이트 전극과 소오스/드레인 영역에 형성되는 콘택 사이의 단락을 방지하고, LDD(Lightly Doped Drain) 형성을 용이하게 한다는 등의 이유로 게이트 전극 측벽에는 흉간 절연막과 식각 선택비를 가지는 절연막 스페이서가 형성되는 경우가 일반적이다.

그러나, 소자 고집적화가 계속됨에 따라 소오스/드레인 영역 자체가 계속 줄어들면서, 게이트 전극의 측벽 스페이서가 차지하는 공간이 소오스/드레인 영역을 좁히게 된다. 더욱이, 스페이서가 형성된 게이트 전극 위로 식각 저지막을 더 형성할 경우 소오스/드레인 영역은 더 좁아진다. 따라서, 게이트 전극들 사

이의 소오스/드레인 영역 위에 중간절연막을 채울 때 보이드(void)가 발생할 수 있다. 또한, 소오스/드레인 영역과 콘택 플러그 사이의 접촉 면적도 축소되어 콘택 저항이 증가한다. 콘택홀 식각을 위한 장렬이 잘못될 경우, 스페이서 영역에 막혀 콘택을 위한 소오스/드레인 영역이 드러나지 않는 문제도 발생할 수 있다. 그러므로, 측벽 스페이서가 없는 형태의 MOS 트랜지스터 구조가 연구되고 있다.

한편, 소자 고집적화에 따라 소오스/드레인 영역에 얇은 접합이 이루어지고, 얇은 접합에 따른 고온 캐리어 효과를 방지하기 위해, 혹은, 단채널 효과(short channel effect)를 방지하기 위해 LOD 구조는 여전히 필요하다. 측벽 스페이서 없는 LOD 구조를 형성하기 위해 가령, 측벽 스페이서를 형성하여 일단 소오스/드레인 영역에 LOD 구조를 형성한 뒤 측벽 스페이서를 제거하는 제거가능 스페이서 방식(disposable oxide spacer scheme)의 사용을 고려할 수 있다.

도1 내지 도6은 제거가능 스페이서 방식을 사용하는 CMOS형 반도체 장치의 일 예에 대한 형성 방법의 중요 단계를 나타내는 공정 단면도들이다.

도1을 참조하면, 패턴닝 작업으로 기판(100)의 PMOS 및 NMOS 영역에 게이트 전극(110)을 형성하고, 식각 콘택을 치유하기 위한 어닐링을 실시하여 표면에 얇은 산화막(120)이 형성된다. 이전에 소자 분리와 기판 할 형성이 이루어진다.

도2를 참조하면, 게이트 전극(110)이 형성된 기판(100) 전면에 실리콘 질화막으로 식각 방지막(130)을 형성하고, 게이트 전극(110) 양 측벽에 스페이서(140, 150)를 형성한다. 스페이서 절연막(140, 150)을 형성하기 위해 식각 방지막(130)이 적용된 기판(100)에 실리콘 산화막을 적용한다. 전면 이방성 식각을 통해 실리콘 산화막을 식각하여 식각 방지막(130)으로 싸인 게이트 전극(110) 양 측벽에 스페이서(140, 150)를 남긴다.

도3을 참조하면, 스페이서(140, 150)가 형성된 게이트 전극(110) 위로 NMOS 영역을 드러내는 제1 포토레지스트 패턴(160)을 형성한다. 그리고, 고농도 N형 불순물 이온주입을 실시한다.

도3 및 도4를 참조하면, NMOS 영역을 드러내는 제1 포토레지스트 패턴(160)을 식각 마스크로 습식 식각을 실시하여 NMOS 영역의 게이트 전극 측벽 스페이서(140)를 제거한다. 저농도 N형 불순물 이온주입을 실시한다. 따라서, 게이트 전극(110) 측벽 인근의 기판(100)에 저농도 불순물 영역(164)이, 게이트 전극(110) 측벽에서 스페이서(140) 두께만큼 떨어진 외측 기판(100)에 고농도 불순물 영역(162)이 형성되는 LOD 구조를 가진 NMOS 트랜지스터가 형성된다.

도4 및 도5를 참조하면, NMOS 영역을 드러내는 제1 포토레지스트 패턴(160)을 제거하고, PMOS 영역을 드러내는 제2 포토레지스트 패턴(170)을 형성한다. 제2 포토레지스트 패턴(170) 및 PMOS 영역의 스페이서(150)가 형성된 게이트 전극(110)을 이온주입 마스크로 고농도 P형 불순물 이온주입을 실시한다.

도5 및 도6을 참조하면, 제2 포토레지스트 패턴(170)을 식각 마스크로 습식 식각을 실시하여 게이트 전극(110) 양측벽의 실리콘 산화막 스페이서(150)를 제거한다. 저농도 P형 불순물 이온주입을 실시한다. 따라서, 게이트 측벽 인근의 기판에 저농도 불순물 영역(174)이, 게이트 측벽에서 스페이서(150) 두께만큼 떨어진 외측 기판에 고농도 불순물 영역(172)이 형성되는 LOD 구조를 가진 PMOS 트랜지스터가 형성된다.

이상으로써, CMOS형 트랜지스터 구조가 이루어진다. 후속적으로 CMOS형 트랜지스터 구조가 형성된 기판에 실리콘 산화막으로 중간 절연막을 형성하고, 소오스/드레인 영역에 콘택홀을 형성하는 식각을 실시한다. 이때, 게이트 전극을 둘러싸는 식각 방지막이 게이트 전극을 보호하고, 형성될 콘택과 게이트 전극의 단락을 방지한다.

그런데, 이상의 공정에서, 게이트 전극이 연속적으로 형성된 PMOS 영역과 NMOS 영역의 경계부에는 도4의 NMOS 영역 게이트 전극의 측벽 스페이서 제거 단계에서 습식으로 측벽 스페이서가 제거되면서, PMOS 영역의 게이트 전극 측벽 스페이서도 일부 폭만큼 함께 제거된다. 따라서, 도5와 같이 포토레지스트 패턴을 바꾸어 PMOS 영역에 대한 고농도 P형 불순물 이온주입을 하는 단계에서 경계부에 인접한 게이트 전극 부분은 스페이서가 제거되어 있다. 따라서, 이 부분은 게이트 전극 인근 기판에 고농도 불순물 영역이 형성되고, LOD 구조를 가질 수 없다. 따라서, 이 부분 PMOS 트랜지스터는 단채널 효과로 인한 스레슬드 전압(V_t)의 강하, 포화 드레인 전류($I_{d,sat}$)의 변화를 일으키면서 특성이 열화되는 문제가 생긴다.

이와 같은 문제는 도7의 CMOS 반도체 장치의 계단형 절단 단면 사진으로 확인할 수 있다.

본 발명이 이루고자하는 기술적 과제

본 발명은 상술한 문제를 해결하기 위한 것으로, CMOS형 반도체 장치에서 각 영역 트랜지스터의 소오스/드레인 영역과 채널 영역과의 경계부에 LOD 구조가 정확히 형성될 수 있는 CMOS형 반도체 장치 형성 방법을 제공하는 것을 목적으로 한다.

본 발명은 즉, 각 영역의 트랜지스터에서 고온 캐리어 효과 혹은 단채널 효과를 억제하여 트랜지스터 열화를 방지할 수 있는 CMOS형 반도체 장치 형성 방법을 제공하는 것을 목적으로 한다.

본 발명은 또한, 고집적 CMOS형 반도체 장치에서 소오스/드레인 영역에 콘택이 형성될 면적을 확보하면서, 정확한 LOD 구조를 형성할 수 있는 방법을 제공하는 것을 목적으로 한다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 방법은, CMOS형 반도체 장치 형성 과정에서 두 불순물형 영역에 고농도 이온주입이 이루어진 뒤에 게이트 전극 측벽 스페이서에 대한 식각을 실시하는 것을 특징으로 한다. 즉, NMOS 및 PMOS 트랜지스터 영역에 대해 게이트 전극 측벽 스페이서가 존재하는 상태로 각 영역을 드러내는 포토레지스트 패턴을 번갈아 형성하고, 고농도 이온주입을 실시한다.

본 발명에서, 각 영역에 대한 저농도 이온주입은 각 영역에 스페이서가 없는 상태에서 영역별로 이루어진다. 즉, 저농도 이온주입은 스페이서 형성 전에 이루어지거나, 고농도 이온주입이 이루어진 뒤에 스페이서를 제거한 다음에 이루어진다. 또한, 한 영역은 스페이서 형성 전에, 다른 영역은 스페이서 제거 후에 이루어지는 것도 가능하다.

본 발명도 제거가능 스페이서 방식의 CMOS형 반도체 장치를 형성하게 되므로 CMOS형 트랜지스터 구조를 이룬 후에는 스페이서는 모두 제거되며, 각 영역의 게이트 전극은 식각 방지막으로 싸여서 중간 절연막에 콘택 홀을 형성하는 단계에서 게이트 전극을 보호한다. 각 영역의 소오스/드레인 영역에는 LDD 구조가 이루어진다.

이하 도면을 참조하면서, 실시예를 통해 본 발명을 상세히 설명하기로 한다.

(실시예 1)

도8을 참조하면, 도시되지 않지만 불순물 웰 형성과 소자 분리막 형성이 이루어진 기판의 NMOS 및 PMOS 활성 영역에 게이트 절연막과 게이트막을 차례로 형성한다. 게이트막과 게이트 절연막을 패터닝하여 게이트 전극 패턴(105,110)을 형성한다. 식각 손상을 보상하기 위한 열처리를 실시한다. 기판(100)과 게이트 전극(110) 표면에 얇은 산화막(120)이 형성된다. NMOS 영역을 드러내는 제1 포토레지스트 패턴(280)을 형성한다. 제1 포토레지스트 패턴(280)과 게이트 전극(110)을 이온주입 마스크로 NMOS 영역에 대해 20KeV 정도의 에너지로 저농도 N형 불순물 이온주입을 실시한다.

도9를 참조하면, 제1 포토레지스트 패턴(280)을 제거한다. NMOS 및 PMOS 영역의 게이트 전극(110) 위로 실리콘 질화막을 수십 내지 수백 옹스트롬 두께로 CVD 적층하여 식각 방지막(130)을 형성한다. 이어서, 실리콘 산화막을 100 내지 1000 옹스트롬 두께로 CVD 적층한다. 기판(100)을 덮는 실리콘 산화막을 전면 이방성 식각하여 게이트 전극(110)의 양 측벽에 스페이서(140,150) 형태로 남긴다.

도10을 참조하면, NMOS 영역을 드러내는 제2 포토레지스트 패턴(260)을 형성한다. 제2 포토레지스트 패턴(260)과 스페이서(140)가 형성된 게이트 전극(110)을 이온주입 마스크로 NMOS 영역에 대해 90KeV의 에너지로 고농도 N형 불순물로 인(P) 이온주입을 실시한다. 이때 소오스/드레인 영역에는 LDD 구조를 가지는 N형 도핑 영역(262,264)이 형성된다. 기판(100) 표면은 식각 방지막(130)이 존재하여 이온주입시의 버퍼 역할을 한다.

도11을 참조하면, 제2 포토레지스트 패턴(260)을 애싱 혹은 스트립핑을 통해 제거한다. PMOS 영역을 드러내는 제3 포토레지스트 패턴(270)을 형성한다. 제3 포토레지스트 패턴(270)과 스페이서(150)가 형성된 게이트 전극(110)을 이온주입 마스크로 PMOS 영역에 대해 60KeV의 에너지로 고농도 P형 불순물로 보론(B) 이온주입을 실시한다. 식각 방지막(130)이 이온주입 버퍼 역할을 한다.

도12를 참조하면, 게이트 전극(110)의 양 측벽에 있는 스페이서(150)를 묽은 불산 등의 습식 에천트를 이용하여 제거한다. 그리고, 제3 포토레지스트 패턴(270)과 게이트 전극(110)을 이온주입 마스크로 15KeV 정도의 에너지로 저농도 보론 이온주입을 실시한다. 따라서, PMOS 영역의 소오스/드레인 영역에는 P형 불순물로 LDD 구조의 도핑 영역(272,274)이 형성된다. 스페이서(150)를 제거하는 단계에서 NMOS영역과의 경계에서 NMOS 영역의 게이트 전극(110) 측벽의 스페이서(140)도 일부 제거할 수 있다. 그러나, 이미 모든 이온주입이 이루어져 NMOS 영역의 소오스/드레인 영역 도핑 구조가 변화되지 않으므로 고온 캐리어 효과 등으로 인한 트랜지스터 특성 열화는 발생하지 않는다.

도13을 참조하면, 제3 포토레지스트 패턴(270)을 제거한다. 그리고, NMOS 영역의 게이트 전극 패턴 측벽에 잔존하는 스페이서(140)를 제거한다.

후속 공정의 한 예에 따르면, 식각 방지막으로 싸인 게이트 전극 패턴 위로 실리콘 질화막으로 이루어지는 수십 내지 수백 옹스트롬 두께의 콘택홀 식각 방지막과 실리콘 산화막으로 이루어지는 수천 내지 10000 옹스트롬 두께의 중간 절연막이 덮이고, 평탄화 식각이 이루어진다. 소오스/드레인 영역에 콘택홀 형성을 위해 중간 절연막 패터닝이 이루어진다. 콘택 홀을 도전막으로 채우고 평탄화 식각을 통해 콘택 플러그를 형성한다.

(실시예 2)

도14를 참조하면, 도시되지 않지만 불순물 웰 형성과 소자 분리막 형성이 이루어진 기판의 NMOS 및 PMOS 활성 영역에 게이트 절연막과 게이트막을 차례로 형성한다. 게이트막과 게이트 절연막을 패터닝하여 게이트 전극 패턴(105,110)을 형성한다. 얇은 열산화막(120)이 게이트 전극(110) 위로 형성된다.

도15를 참조하면, NMOS 및 PMOS 영역의 게이트 전극(110) 위로 실리콘 질화막을 수십 내지 수백 옹스트롬 두께로 CVD 적층하여 식각 방지막(130)을 형성한다. 이어서, 실리콘 산화막을 100 내지 1000 옹스트롬 두께로 CVD 적층한다. 기판을 덮는 실리콘 산화막을 전면 이방성 식각하여 게이트 전극(110)의 양 측벽에 스페이서(140,150) 형태로 남긴다.

도16를 참조하면, NMOS 영역을 드러내는 제1 포토레지스트 패턴(360)을 형성한다. 제1 포토레지스트 패턴(360)과 스페이서(140)가 형성된 게이트 전극(110)을 이온주입 마스크로 NMOS 영역에 대해 고농도 N형 불순물 이온주입을 실시한다. 기판(100) 표면은 식각 방지막(130)이 존재하여 이온주입시의 버퍼 역할을 한다.

도17를 참조하면, 제1 포토레지스트 패턴(360)을 애싱 혹은 스트립핑을 통해 제거한다. PMOS 영역을 드러내는 제2 포토레지스트 패턴(370)을 형성한다. 제2 포토레지스트 패턴(370)과 스페이서(150)가 형성된 게이트 전극(110)을 이온주입 마스크로 PMOS 영역에 대해 고농도 P형 불순물 이온주입을 실시한다. 식각 방지막(130)이 이온주입 버퍼 역할을 한다.

도18를 참조하면, 게이트 전극(110)의 양 측벽에 있는 스페이서(150)를 묽은 불산 등의 에천트를 이용하여 제거한다. 그리고, 제2 포토레지스트 패턴(370)과 게이트 전극(110)을 이온주입 마스크로 저농도 P형 불순물 이온주입을 실시한다. 따라서, PMOS 영역의 소오스/드레인 영역에는 P형 불순물로 LDD 구조의 도

핑 영역(372,374)이 형성된다. 스페이서(150)를 제거하는 단계에서 NMOS영역과의 경계에서 NMOS 영역의 게이트 전극(110) 측벽의 스페이서(140)도 일부 제거될 수 있다. 그러나, 이미 모든 고농도 불순물 이온 주입이 이루어져 이후 NMOS 영역에 저농도 불순물 이온주입을 통해 LOD 구조를 형성하는 데 지장을 주지 않는다. 따라서, 고온 캐리어 효과 등으로 인한 트랜지스터 특성 열화는 발생하지 않는다.

도19를 참조하면, 제2 포토레지스트 패턴(370)을 제거한다. 그리고, NMOS 영역을 드러내는 제3 포토레지스트 패턴(380)을 형성한다. NMOS 영역의 게이트 전극(110) 측벽에 잔존하는 스페이서(140)를 제거한다. 제3 포토레지스트 패턴(380)과 게이트 전극(110)을 이온주입 마스크로 NMOS 영역에 대해 저농도 N형 불순물 이온주입을 실시한다. 이때 NMOS 영역의 소오스/드레인 영역에는 LOD 구조를 가지는 N형 도핑 영역(362,364)이 형성된다.

후속 공정 예에 따르면, 제3 포토레지스트 패턴을 제거하고, 식각 방지막으로 싸인 게이트 전극 패턴 위로 실리콘 산화막으로 이루어지는 수천 내지 10000 옹스트롬 두께의 층간 절연막이 덮이고, 평탄화 식각이 이루어진다. 소오스/드레인 영역에 콘택홀 형성을 위해 층간 절연막 패턴닝이 이루어진다. 콘택 홀 및 층간 절연막 위쪽에 베리어 메탈층과 도전막을 형성하고 패턴닝하여 콘택과 배선을 형성한다.

발명의 효과

본 발명에 따르면, 게이트 전극 측벽에 스페이서가 형성되지 않는 CMOS형 반도체 장치를 형성하면서, 소오스/드레인 영역에 정확한 LOD 구조를 형성할 수 있으므로, 고온 캐리어 효과 혹은 단채널 효과로 인한 트랜지스터 특성 열화를 예방할 수 있다. 또한, 게이트 전극 패턴 사이에 층간 절연막을 채울 때 보이드가 발생하는 것을 막을 수 있다.

(5) 청구의 범위

청구항 1

기판의 NMOS 영역 및 PMOS 영역에 게이트 전극 패턴을 형성하는 단계,

상기 게이트 전극 패턴 상에 식각 방지막을 형성하는 단계,

상기 영역들에서 상기 게이트 전극 패턴의 측벽에 상기 식각방지막과 식각선택비를 갖는 스페이서를 형성하는 단계,

상기 영역들 가운데 한 영역을 드러내는 제1 포토레지스트 패턴을 형성하고, 고농도로 제1 도전형 불순물을 이온주입하는 단계,

상기 제1 포토레지스트 패턴을 제거하는 단계,

상기 영역들 가운데 다른 영역을 드러내는 제2 포토레지스트 패턴을 형성하고 고농도로 제2 도전형 불순물을 이온주입하는 단계,

상기 제2 포토레지스트 패턴을 식각 마스크로 상기 다른 영역에서 상기 게이트 전극 패턴 측벽에 형성된 스페이서를 제거하는 단계,

상기 다른 영역에서 상기 스페이서가 제거한 뒤 상기 다른 영역에 대해 저농도로 제2 도전형 불순물을 이온주입하는 단계,

상기 제2 포토레지스트 패턴을 제거하고 상기 한 영역에서 상기 게이트 전극 패턴 측벽에 형성된 스페이서를 제거하는 단계, 및

상기 한 영역을 드러내는 제3 포토레지스트 패턴을 형성하고, 상기 한 영역에 대해 저농도로 제1 도전형 불순물을 이온주입하는 단계를 구비하여 이루어지는 CMOS형 반도체 장치 형성 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

게이트 전극 패턴 위로 층간 절연막을 형성하고, 상기 게이트 전극 패턴 측방의 소오스/드레인 영역의 적어도 일부를 드러내는 콘택홀을 형성하는 패턴닝 단계가 더 구비되는 것을 특징으로 하는 CMOS형 반도체 장치 형성 방법.

청구항 6

제 5 항에 있어서,

상기 층간 절연막을 형성하기 전에 상기 층간 절연막과 식각 선택비를 가지는 콘택홀 식각 방지막을 형성하는 단계가 더 구비되는 것을 특징으로 하는 CMOS형 반도체 장치 형성 방법.

청구항 7

제 5 항에 있어서,

상기 콘택 홀이 형성된 기판에 베리어 메탈층과 금속층을 더 적층하고 패터닝하여 배선 및 콘택을 형성하는 단계가 더 구비되는 것을 특징으로 하는 CMOS형 반도체 장치 형성 방법.

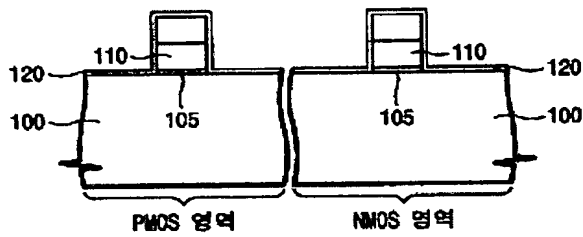
청구항 8

제 1 항에 있어서,

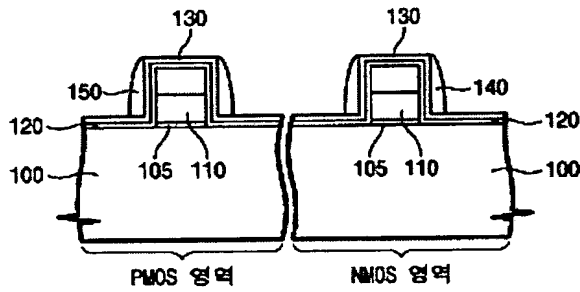
상기 스페이서를 제거하는 단계들에서 습식 식각을 이용하는 것을 특징으로 하는 CMOS형 반도체 장치 형성 방법.

도면

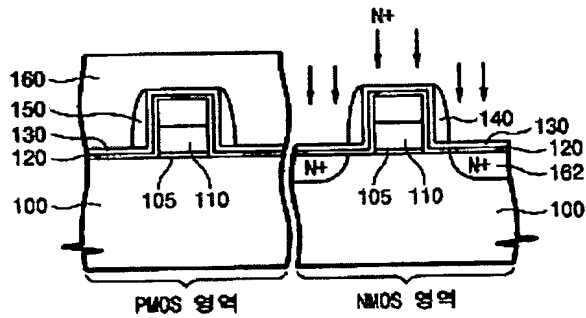
도면1



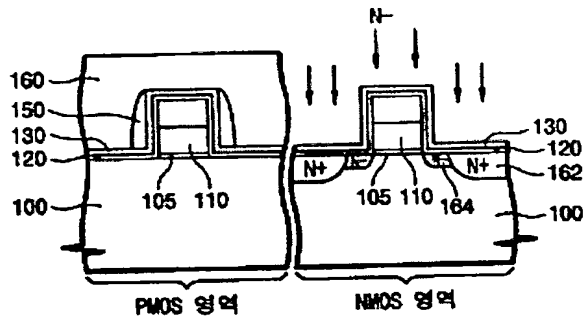
도면2



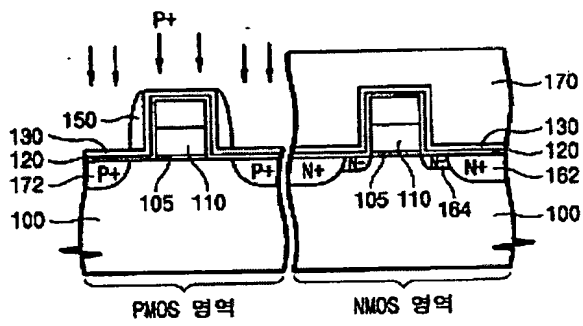
도면3



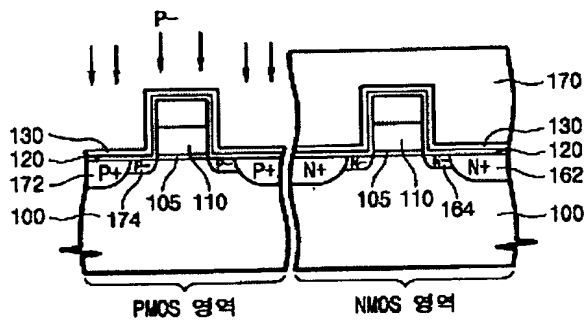
도면4



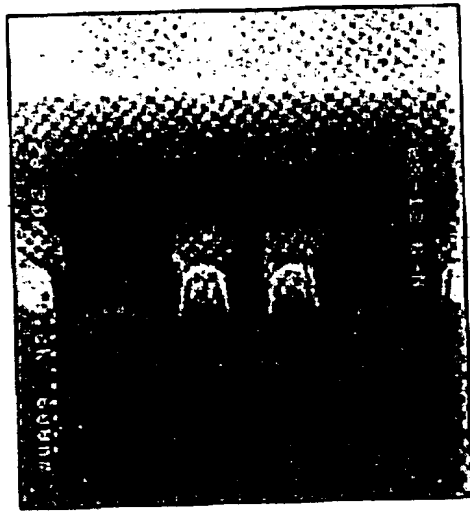
도면5



도면6

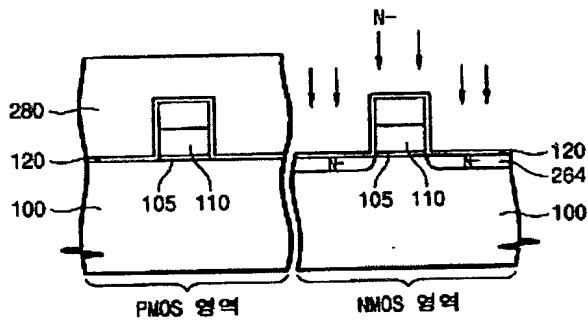


도면7

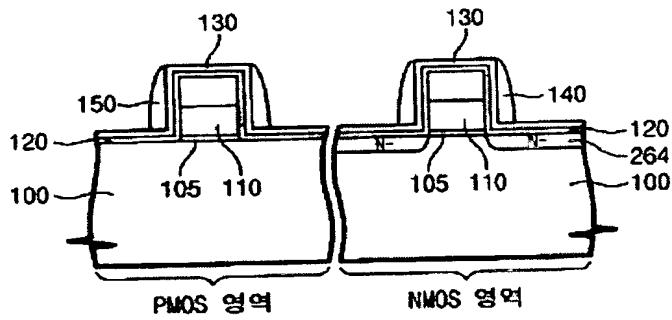


-- Wet Etch시 Oxide
Spacer가 일부
Etch되는 경계면

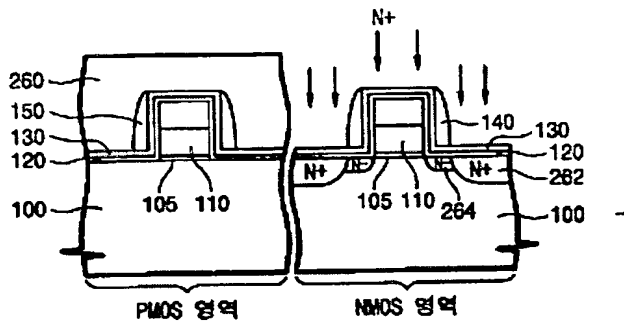
도면8



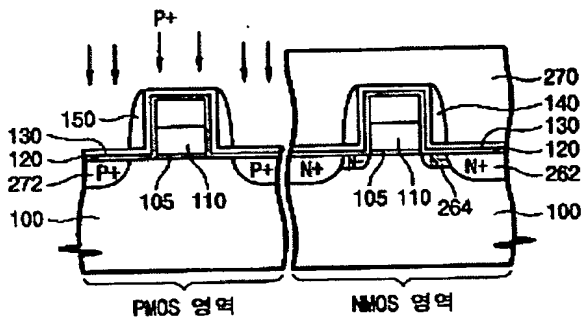
도면9



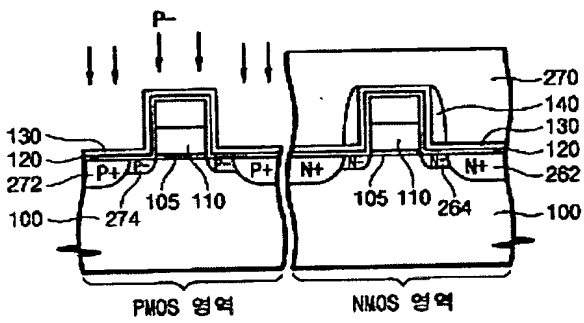
도면10



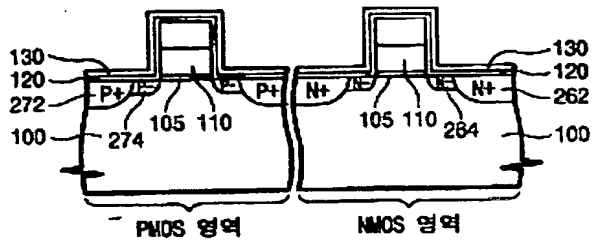
도면11



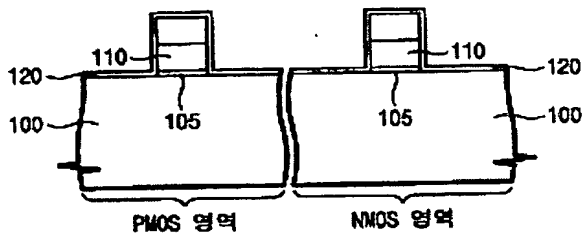
도면12



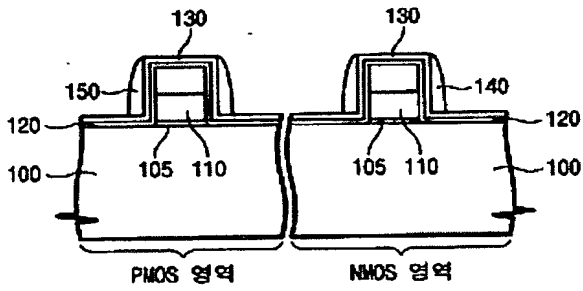
도면13



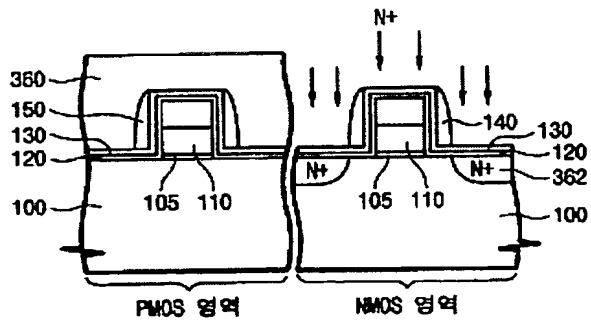
도면14



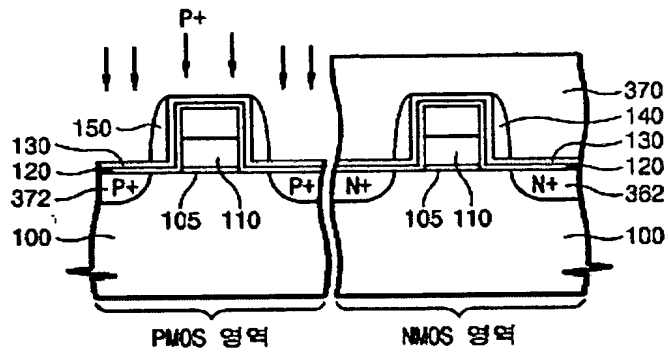
도면15



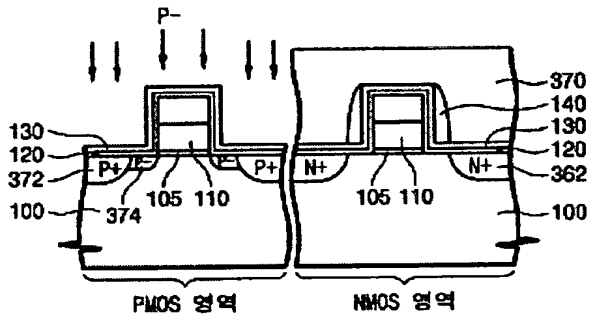
도면18



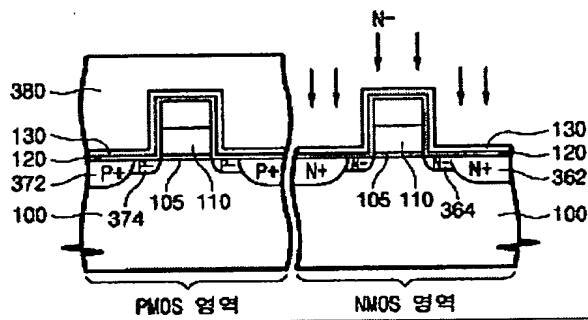
도면 17



도면 18



도면 19



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.